



วงจรถ่ายค่าเฉลี่ยกำลังสองของสัญญาณที่ซิมอสทำงานในโหมดกระแสกำลังต่ำ

พันตรี โคมพิทยา*

วิทยาลัยธาตุพนม มหาวิทยาลัยนครพนม

* ผู้นิพนธ์ประสานงาน โทรศัพท์ 06-2879-5359 อีเมล: pantre@npu.ac.th DOI: 10.14416/j.kmutnb.2018.03.011

รับเมื่อ 1 พฤษภาคม 2560 ตอปรับรับเมื่อ 27 กรกฎาคม 2560 เผยแพร่ออนไลน์ 26 มีนาคม 2561

© 2018 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

บทคัดย่อ

บทความนี้นำเสนอ วงจรถ่ายค่าเฉลี่ยกำลังสองของสัญญาณที่ซิมอสทำงานในโหมดกระแสกำลังต่ำ โดยอาศัยหลักการทรานส์ลิเนียร์ที่ซิมอสทำงานในสถานะอิมิตัว และใช้เทคนิคการออกแบบวงจรด้วยวิธีการคำนวณแบบอ้อม โครงสร้างวงจรที่นำเสนอประกอบด้วยวงจรหลัก คือ วงจรถ่ายกำลังสองแบบ 2 จุดภาค และวงจรถ่ายสัญญาณความถี่ต่ำผ่าน ซึ่งสามารถรองรับการทำงานของสัญญาณอินพุตได้ทั้งสัญญาณด้านบวกและลบ ผลการจำลองการทำงานของวงจรถ่ายค่าเฉลี่ยด้วยโปรแกรม HSPICE โดยใช้แบบจำลองพารามิเตอร์ของ BSIM3v3 ระดับ 49 เทคโนโลยีซิมอส TSMC 0.18 μm พบว่า คุณสมบัติของวงจรสามารถทำงานได้ดีในช่วงกระแสอินพุตกว้าง (500 nA–100 μA) แรงดันไฟเลี้ยงต่ำ (1.8 V) อัตราการบริโภคกำลังต่ำ (0.15 μW) มีความกว้างแถบความถี่ใช้งานสูง (50 MHz) และความคลาดเคลื่อนในการแปลงสัญญาณต่ำกว่าร้อยละ 1 ซึ่งผลการจำลองการทำงานของวงจรที่ได้มีค่าสอดคล้องตามทฤษฎี

คำสำคัญ: วงจรถ่ายค่าเฉลี่ยกำลังสองของสัญญาณ, สภาวะอิมิตัว, วงจรถ่ายกำลังสอง

A Low-Power CMOS Current-Mode True RMS-to-DC Converter

Pantre Kompitaya*

Thatphanom College, Nakhon Phanom University, Nakhon Phanom, Thailand

* Corresponding Author, Tel. 06-2879-5359, E-mail: pantre@npu.ac.th DOI: 10.14416/j.kmutnb.2018.03.011

Received 1 May 2017; Accepted 27 July 2017; Published online: 26 March 2018

© 2018 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

Abstract

This paper presents a low-power CMOS current-mode true RMS-to-DC converter based on the translinear principle of CMOS operating in a saturation region. The technique used for the design of the realization scheme was the implicit computation method. Its main conversion circuit structure consisted of a two-quadrant squaring circuit and a low-pass filter circuit. The circuit can be used with both positive and negative input signals. Simulation results were examined using the HSPICE program with model 0.18 μm BSIM3V3 level 49 TSMC CMOS process parameters. It was found that the circuit features could operate well in a wide input range (500 nA–100 μA), with low supply voltage (1.8 V), low power dissipation (0.15 μW), and a high bandwidth (50 MHz); and the error of conversion accuracy was less than 1%, well in agreement with theory.

Keywords: True RMS-to-DC Converter, Saturation Region, Squaring Circuit

1. บทนำ

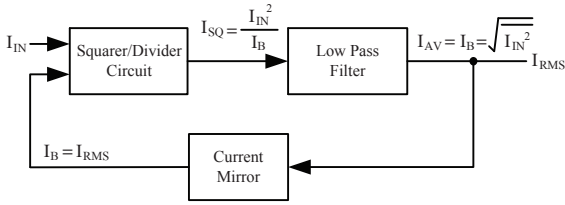
โดยทั่วไปค่าเฉลี่ยกำลังสองของสัญญาณเรานิยมเรียกว่า ค่าอาร์เอ็มเอส (RMS; Root Mean Square) เป็นค่าที่รู้จักแบบหนึ่งในการวัดขนาดของสัญญาณทางไฟฟ้า ซึ่งเป็นการวัดค่าปริมาณเฉลี่ยของพลังงานที่บรรจุมากับสัญญาณนั้นๆ โดยค่าที่เกิดขึ้นจากการวัดของสัญญาณจะมีค่าเทียบเท่ากับขนาดของสัญญาณที่แสดงเป็นค่าไฟฟ้ากระแสตรง [1] ซึ่งวงจรหาค่าเฉลี่ยกำลังสองของสัญญาณ (True RMS-to-DC Converter) เป็นวงจรที่สามารถแปลงสัญญาณกระแสสลับได้ทุกรูปแบบของสัญญาณจากค่าอาร์เอ็มเอสเป็นค่าสัญญาณไฟฟ้ากระแสตรงโดยไม่จำกัดเฉพาะสัญญาณรูปคลื่นไซน์เท่านั้น [2] ซึ่งเป็นที่นิยมอย่างแพร่หลายในการนำไปใช้งานด้านระบบสื่อสาร [3] ระบบเครื่องมือวัด [4] หรือระบบชีวการแพทย์ [5] โดยที่ผ่านมามีการนำเสนอเทคนิคการออกแบบวงจรหาค่าเฉลี่ยกำลังสองของสัญญาณด้วยวิธีการที่หลากหลาย เช่น การออกแบบวงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ (BJT) ซึ่งการออกแบบวงจรที่มีการนำเสนอ [6], [7] ยังพบปัญหาเรื่องความซับซ้อนของวงจร การใช้ทรานซิสเตอร์จำนวนมาก และใช้แรงดันไฟเลี้ยงค่อนข้างสูงจึงส่งผลให้อัตราการบริโภคกำลังสูง นอกจากนี้หากพิจารณาถึงกระบวนการผลิตเป็นวงจรรวม (ICs) พบว่าพื้นที่การออกแบบบนชิป (Chip) จะมีขนาดใหญ่กว่าเมื่อเทียบกับทรานซิสเตอร์แบบซีมอส (CMOS) จึงทำให้นักวิจัยพยายามพัฒนาออกแบบวงจรดังกล่าวด้วยซีมอสมากขึ้น แต่ก็ยังพบว่าวงจรที่มีการนำเสนอด้วยซีมอสก่อนหน้านี้ [8], [9] ใช้เทคนิคการออกแบบโดยใช้วงจรเรียงกระแส (Full-wave Rectifier) ต่อเพิ่มร่วมกับวงจรถ่ายกำลังสอง (Squaring Circuit) ซึ่งเทคนิคดังกล่าวนี้จะส่งผลให้ค่าความถี่แบนด์วิดท์ใช้งาน (Bandwidth) มีช่วงการทำงานจำกัด (< 5 MHz) นอกจากนี้ยังพบที่มีการนำเสนอเทคนิคการออกแบบวงจรโดยใช้ซีมอสต่อร่วมกับเอฟอีเอ็มอส (FG-MOS) เพื่อลดระดับแรงดันไฟเลี้ยงให้ต่ำลง [10] แต่ก็ยังพบปัญหาในความยุ่งยากต่อกระบวนการนำไปสังเคราะห์เพื่อผลิตเป็นวงจรรวม รวมถึงได้มีผู้แนะนำเสนอวิธีการออกแบบวงจรด้วยซีมอสที่

ทำงานในสภาวะก่อนแรงดันขีดเริ่ม (Weak-inversion Region) [11], [12] แต่วิธีการดังกล่าวพบว่า ช่วงกระแสอินพุตใช้งานที่ได้จะแคบ (< 500 nA) ถึงแม้ในปัจจุบันได้มีหลายบริษัทด้านอิเล็กทรอนิกส์ ที่พัฒนาศึกษาและสร้างวงจรถ่ายค่าเฉลี่ยกำลังสองของสัญญาณในรูปแบบวงจรรวม เช่น เบอร์ AD536, AD636 ของบริษัท Analog Devices เบอร์ LTC1968 ของบริษัท Linear Technology เป็นต้น พบว่าวงจรรวมดังกล่าวถูกออกแบบให้ทำงานในโหมดแรงดันและใช้แรงดันไฟเลี้ยงค่อนข้างสูง รวมถึงยังคงต้องใช้วงจรเรียงกระแสต่อร่วมในการออกแบบวงจร

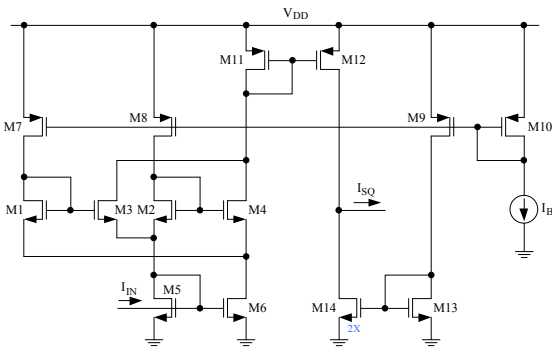
ด้วยเหตุผลดังกล่าวทางผู้วิจัยจึงได้ออกแบบวงจรถ่ายค่าเฉลี่ยกำลังสองของสัญญาณที่ทำงานในโหมดกระแสเนื่องจากมีข้อดีหลายประการเมื่อเทียบกับเทคนิคการทำงานโหมดแรงดัน เช่น มีช่วงพิสัยพลวัตกว้าง (Larger Dynamic Range) มีความถี่ของแถบความถี่ที่สูงกว่าและการบริโภคกำลังต่ำกว่า [13], [14] รวมถึงใช้เทคโนโลยีซีมอสในการออกแบบวงจร โดยอาศัยหลักการทรานส์ลิเนียร์ (Translinear Principle) ที่สามารถรองรับการทำงานของสัญญาณอินพุตได้ทุกรูปแบบสัญญาณทั้งด้านบวกและด้านลบ โดยใช้เทคนิคการคำนวณแบบอ้อม (Implicit Computation Method) ซึ่งไม่จำเป็นต้องใช้วงจรเรียงกระแสในการออกแบบร่วม โครงสร้างของวงจรถ่ายค่าด้วยวงจรถ่ายกำลังสอง แบบ 2 จตุภาค (Two-quadrant Squaring Circuit) และวงจรถ่ายค่าสัญญาณความถี่ต่ำผ่าน (Low-pass Filter Circuit) ซึ่งวงจรที่ออกแบบนี้จะทำงานในโหมดกระแสและแรงดันที่ต่ำ วงจรไม่ซับซ้อน จำนวนทรานซิสเตอร์ไม่มาก ส่งผลให้การบริโภคกำลังต่ำ จึงเป็นการเหมาะสมที่จะนำไปพัฒนาต่อในรูปแบบวงจรรวมต่อไป

2. หลักการทำงานของวงจร

หลักการหาค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอจะใช้เทคนิคการออกแบบวงจรด้วยวิธีการคำนวณแบบอ้อม โดยอาศัยหลักการทรานส์ลิเนียร์ที่มอสทรานซิสเตอร์ทำงานในโหมดกระแสในสภาวะอิมิตัว ดังรูปที่ 1



รูปที่ 1 บล็อกไดอะแกรมวิธีการคำนวณแบบอ้อม



รูปที่ 2 วงจรถ่ายค่ากำลังสองแบบ 2 จุดภาค

2.1 หลักการทำงานของวงจรถ่ายค่ากำลังสองโหมดกระแส

วงจรถ่ายค่ากำลังสองโหมดกระแสแบบ 2 จุดภาค ที่นำเสนอแสดงดังรูปที่ 2 ได้ออกแบบวงจรให้สามารถรองรับสัญญาณอินพุตได้ทั้งสัญญาณด้านบวกและลบ โดยจะอาศัยหลักการพื้นฐานของทรานส์ซิสเตอร์ [15] ในการออกแบบวงจร เมื่อกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีการทำงานในสภาวะอิ่มตัวจะสามารถเขียนสมการกระแสของวงจรได้ คือ

$$I_D = K(V_{GS} - V_T)^2 \quad (1)$$

เมื่อ $K = \frac{1}{2} \mu C_{ox} \frac{W}{L}$ คือ ค่าสัมประสิทธิ์ความนำของมอสทรานซิสเตอร์ ส่วน V_T คือ ค่าแรงดันขีดเริ่ม (Threshold Voltage) และ V_{GS} คือ ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสทรานซิสเตอร์

จากรูปแบบการวางตัวกันของมอสทรานซิสเตอร์ M1-M4 ในลักษณะวงรอบทรานส์ซิสเตอร์ โดยที่มอสทรานซิสเตอร์ M1, M3 คือ ส่วนของวงจรทางด้านอินพุต และมอสทรานซิสเตอร์ M2, M4 คือ ส่วนของวงจรทางด้านเอาต์พุต ซึ่งเราสามารถ

พิจารณาค่าความสัมพันธ์ของแรงดันมอสทรานซิสเตอร์ได้ คือ

$$\sum_{CW} V_{GS} = \sum_{CCW} V_{GS} \quad (2)$$

เมื่อ $\sum_{CW} V_{GS}$ คือ ผลรวมแรงดันระหว่างขาเกตกับขาซอร์สของมอสทรานซิสเตอร์ในทิศทางตามเข็มนาฬิกา และ $\sum_{CCW} V_{GS}$ คือ ผลรวมแรงดันระหว่างขาเกตกับขาซอร์สของมอสทรานซิสเตอร์ในทิศทางทวนเข็มนาฬิกา

จากสมการที่ (2) เราสามารถเขียนสมการความสัมพันธ์ระหว่างแรงดันและกระแสได้ ดังสมการที่ (3) และสมการที่ (4) ตามลำดับ

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \quad (3)$$

$$\sqrt{I_{D1}} + \sqrt{I_{D2}} = \sqrt{I_{D3}} + \sqrt{I_{D4}} \quad (4)$$

จากวงจรรูปที่ 2 เมื่อกำหนดให้มอสทรานซิสเตอร์ M1-M4 มีขนาดความกว้างยาวประสิทธิผลของช่องทางเดินกระแส (W/L) เท่ากัน และมีคุณสมบัติเหมือนกันทุกประการ โดยไม่พิจารณาถึงผลของฐานรอง (Body-effect) และการมอดูเลตความยาวของช่องทางกระแส (Channel Length Modulation) จะได้ $I_{D1} = I_{D2} = I_B$ ดังนั้น จะสามารถเขียนสมการที่ (4) ขึ้นใหม่ได้ คือ

$$\sqrt{I_{D3}} + \sqrt{I_{D4}} = \sqrt{4I_B} \quad (5)$$

จากสมการที่ (5) สามารถจัดรูปสมการได้ใหม่ คือ

$$I_{D3} + I_{D4} + 2\sqrt{I_{D3}I_{D4}} = 4I_B$$

$$(I_{D3} + I_{D4} - 4I_B)^2 = 4I_{D3}I_{D4}$$

$$(I_{D4} - I_{D3})^2 + 16I_B^2 = 8I_B(I_{D3} + I_{D4})$$

$$I_{D3} + I_{D4} = 2I_B + \frac{(I_{D4} - I_{D3})^2}{8I_B} \quad (6)$$

เมื่อกำหนดให้ $I_{OUT} = I_{D3} + I_{D4}$ และ $I_{IN} = I_{D4} - I_{D3}$ แทนค่าลงในสมการที่ (6) จะได้

$$I_{OUT} = 2I_B + \frac{(I_{in})^2}{8I_B} \quad (7)$$

จากสมการที่ (7) พบว่าสัญญาณกระแสเอาต์พุตของวงจรยังมีองค์ประกอบของไฟฟ้ากระแสตรง (DC Offset) เท่ากับ $2I_B$ ดังนั้น จึงได้ออกแบบวงจรโดยเพิ่มมอสทรานซิสเตอร์ M9, M13 และ M14 เพื่อมากำจัดองค์ประกอบของไฟฟ้ากระแสตรง ซึ่งเราสามารถเขียนสมการใหม่ได้ คือ

$$I_{SQ} = \frac{(I_{IN})^2}{8I_B} \quad (8)$$

จากสมการที่ (8) จะเห็นได้ว่าค่าขนาดสัญญาณกระแส I_{SQ} ของวงจรดังรูปที่ 2 จะแปรผันเป็นเชิงเส้นกับขนาดกำลังสองของกระแสอินพุต I_{IN} คูณกับค่าคงที่ $1/8I_B$

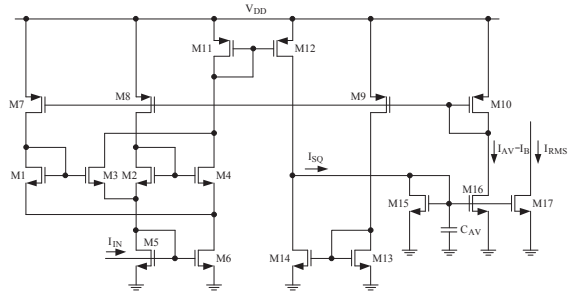
2.2 วงจรหาค่าเฉลี่ยกำลังสองของสัญญาณโหมตกระแสที่นำเสนอ

วงจรหาค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอดังรูปที่ 3 ประกอบด้วย วงจรยกกำลังสอง (รูปที่ 2) วงจรกรองสัญญาณความถี่ต่ำผ่าน (M15 และ C_{AV}) และวงจรสะท้อนกระแส (M15-M16) เพื่อทำหน้าที่คัดลอกกระแสระหว่างวงจร

โดยมีหลักการทํางาน กล่าวคือ เมื่อกระแสอินพุต I_{IN} ผ่านเข้าสู่วงจรยกกำลังสอง จะได้กระแสเอาต์พุตกำลังสอง I_{SQ} ตามสมการที่ (8) จากนั้นจะถูกส่งผ่านต่อไปยังวงจรกรองสัญญาณความถี่ต่ำผ่าน อันดับหนึ่ง (First-order Low-pass Filter) [16] ซึ่งสามารถวิเคราะห์หาค่ากระแสเอาต์พุตเฉลี่ยของวงจรได้ คือ

$$I_{AV} = \left(\frac{1}{1 + \frac{sC_{AV}}{g_{m15}}} \right) \cdot \frac{I_{IN}^2}{8I_B} \quad (9)$$

จากสมการที่ (9) เมื่อกำหนดให้ $sC_{AV}/g_{m15} \gg 1$ จะสามารถจัดให้อยู่ในเทอมเวลา (Time-domain) ได้ดังสมการที่ (10)



รูปที่ 3 วงจรหาค่าเฉลี่ยกำลังสองของสัญญาณโหมตกระแสที่นำเสนอ

$$I_{AV} = \frac{1}{8I_B \tau} \int_0^{\tau} I_{IN}^2 dt \quad (10)$$

เมื่อ $\tau = C_{AV}/g_{m15}$ คือ ค่าคงตัวทางเวลา (Time Constant) และ g_{m15} คือ ค่าความนำ (Transconductance) ของมอสทรานซิสเตอร์ M15

จากนั้นกระแสเอาต์พุตเฉลี่ย I_{AV} ของวงจรกรองสัญญาณความถี่ต่ำผ่านจะถูกแยกออกเป็นสองทางตามรูปที่ 1 โดยทิศทางแรกกระแสจะถูกป้อนกลับผ่านวงจรสะท้อนกระแส (M15-M16) เพื่อทำหน้าที่เป็นกระแสไบอัสให้กับวงจรยกกำลังสอง เมื่อ $I_{AV} = I_B$ และอีกทิศทางจะส่งผ่านมอสทรานซิสเตอร์ M17 เพื่อเป็นกระแสเอาต์พุต I_{RMS} ของวงจร เมื่อกำหนดให้ขนาดความกว้างประสิทธิผลของช่องทางเดินกระแสของมอสทรานซิสเตอร์ M17 มีขนาด $W_{17} = \sqrt{8}W_{16}$ จะได้กระแสเอาต์พุต คือ

$$I_{RMS} = \sqrt{8} I_B \quad (11)$$

จากสมการที่ (10) เมื่อ $I_{AV} = I_B$ จะสามารถเขียนสมการได้ใหม่ คือ

$$I_B = \frac{1}{\sqrt{8}} \sqrt{\frac{1}{\tau} \int_0^{\tau} I_{IN}^2 dt} \quad (12)$$

ดังนั้น เมื่อแทนค่ากระแส I_B จากสมการที่ (12) ลงในสมการที่ (11) จะได้

$$I_{RMS} = \sqrt{\frac{1}{T} \int_0^T I_{IN}^2 dt} \quad (13)$$

จากสมการที่ (13) พบว่ากระแสเอาต์พุต I_{RMS} ที่ได้ จะอยู่ในรูปสมการค่าเฉลี่ยกำลังสองของสัญญาณ ตามที่ต้องการ การคำนวณหาค่าร้อยละความผิดพลาดที่เกิดจากการ กระเพื่อมของสัญญาณเอาต์พุต (Percent Ripple Error) [17] จะสามารถคำนวณได้จากสมการที่ (14)

$$\%Ripple\ Error = \frac{1}{2\sqrt{1+4\omega^2\tau^2}} \cdot 100\% \quad (14)$$

เมื่อ $\omega = 2\pi f$, f คือ ค่าความถี่สัญญาณอินพุต และ τ คือ ค่าคงตัวทางเวลา

สำหรับการเลือกใช้ค่าตัวเก็บประจุ C_{AV} โดยมีจุดมุ่งหมาย เพื่อลดค่าการกระเพื่อมของสัญญาณเอาต์พุต (Ripple) ที่ค่า ความถี่ต่างๆ ให้น้อยลงนั้น สามารถคำนวณได้จาก [18], [19]

$$C_{AV} \gg \frac{g_{m15(max)}}{4\pi f_{(min)}} \quad (15)$$

หรือ

$$C_{AV} \gg \frac{I_M}{4\pi V_T f_{(min)}} \quad (16)$$

เมื่อ I_M คือ ค่าขนาดกระแสอินพุตสูงสุด $f_{(min)}$ คือ ค่า ความถี่ต่ำสุดของสัญญาณอินพุตที่สนใจ และ V_T คือ แรงดัน ที่อุณหภูมิห้อง 300 K มีค่า $\cong 26$ mV

โดยหลักการเลือกค่าตัวเก็บประจุที่เหมาะสม ควรมีค่า มากกว่าส่วนกลับของค่าสัญญาณกระเพื่อมที่ยอมรับได้ เช่น ถ้าต้องการให้สัญญาณกระเพื่อมมีค่าประมาณ 1% (1% = 0.01) จะต้องเลือกค่าตัวเก็บประจุ $1/0.01$ หรือ 100 เท่า ในเทอมขวามือของสมการที่ (15) หรือสมการที่ (16) เพื่อให้ สัญญาณกระเพื่อมถูกจำกัดตามที่เราต้องการ เช่น ถ้าต้องการ ให้มีค่าการกระเพื่อมของสัญญาณ I_{RMS} ประมาณร้อยละ 1 เมื่อสัญญาณอินพุตเป็นสัญญาณซายน์ มีขนาด $I_M = 100$ μ A และความถี่ $f_{(min)} = 100$ kHz จากสมการที่ (16) จะต้องเลือก ใช้ค่าตัวเก็บประจุ $C_{AV} = 100 \times 3.06$ nF ≈ 0.3 μ F เพื่อ

ให้การกระเพื่อมของสัญญาณถูกจำกัดไว้ที่ร้อยละ 1 ตามที่ ได้ออกแบบไว้

นอกจากนี้การคำนวณหาค่าร้อยละความผิดพลาดของ การแปลงสัญญาณ (Percent Relative Error) ของสัญญาณ เอาต์พุต [20] สามารถคำนวณได้ คือ

$$\%Relative\ Error = \frac{I_{RMS}(theoretical) - I_{RMS}(simulation)}{I_{RMS}(theoretical)} \cdot 100\% \quad (17)$$

เมื่อ $I_{RMS}(theoretical)$ คือ ค่าเฉลี่ยกำลังสองของ สัญญาณกระแสตามทฤษฎี และ $I_{RMS}(simulation)$ คือ ค่าเฉลี่ยกำลังสองของสัญญาณกระแสที่วัดได้จากการจำลอง การทำงานของวงจร

สำหรับการวิเคราะห์ค่าการบริโภคกำลัง (Power Dissipation) ของวงจรที่นำเสนอ เราสามารถใช้การวิเคราะห์ องค์ประกอบอนุกรมฟูริเยร์ที่ความถี่มูลฐาน (Fundamental-frequency Fourier's Component) เพื่อคำนวณหา องค์ประกอบไฟตรงของสัญญาณกระแสเดรน [21] ซึ่ง พิจารณาได้ คือ

$$P_d = V_{DD} I_{d0} \quad (18)$$

เมื่อ V_{DD} คือ แรงดันไฟเลี้ยงของวงจร และ $I_{d0} = \frac{1}{T} \int_0^T i_d(t) dt$ คือ องค์ประกอบสัญญาณกระแสเดรนที่ ความถี่มูลฐาน

โดยหากพิจารณาการบริโภคกำลังวงจรที่นำเสนอพบว่า แรงดันไฟเลี้ยงที่กำหนดให้มีค่า $V_{DD} = 1.8$ V และค่าองค์ ประกอบสัญญาณกระแสเดรนที่ได้จากการจำลองการทำงาน $I_{d0} = 83.5$ nA พบว่า วงจรที่นำเสนอจะมีค่าการบริโภคกำลัง ประมาณ 0.15 μ W

นอกจากนี้เพื่อเป็นการวิเคราะห์ผลกระทบของตัวเก็บ ประจุและตัวต้านทางแฝงในตัวมอสทรานซิสเตอร์ที่มีผลต่อ ความกว้างแถบความถี่ใช้งาน (Frequency Response) ของ วงจรที่นำเสนอ จากบล็อกไดอะแกรมดังรูปที่ 1 เราสามารถ เขียนสมการในรูปฟังก์ชันโอนย้ายได้ คือ

$$\frac{I_{RMS}(s)}{I_{IN}(s)} = \frac{I_{SQ}(s)}{I_{IN}(s)} \frac{I_B(s)}{I_{SQ}(s)} \frac{I_{RMS}(s)}{I_B(s)} \quad (19)$$

โดยจะทำการวิเคราะห์ที่สัญญาณขนาดเล็ก (Small Signal Analysis) ของวงจรดังรูปที่ 3 จากสมการที่ (19) สามารถเขียนฟังก์ชันโอนย้ายของวงจรประมาณการได้ คือ

$$\frac{I_{RMS}(s)}{I_{IN}(s)} = \frac{(g_{m6} - g_{m3}) / (g_{m3} + g_{m5})}{(1 + s(C_3 + C_5 + C_6) / (g_{m3} + g_{m5}))} \cdot \frac{g_{m16} / g_{m15}}{(1 + (s(C_{15} + C_{16}) / g_{m15}))} \frac{g_{m7} / g_{m10}}{(1 + (s(C_7 + C_8 + C_9 + C_{10}) / g_{m10}))} \quad (20)$$

จากสมการที่ (20) สามารถทำการวิเคราะห์โดยแบ่งออกเป็นส่วนตามองค์ประกอบของวงจรร้อยละ พบว่าขีดจำกัดความกว้างแถบความถี่ใช้งานของวงจรที่นำเสนอเกิดจากค่าโพล (Pole) 3 ตัว เมื่อกำหนดให้ p_1 คือ โพลของวงจรรองกำลังสอง p_2 คือ โพลของวงจรรองสัญญาณความถี่ต่ำผ่าน และ p_3 คือ โพลของวงจรสะท้อนกระแส ซึ่งสามารถแสดงสมการของโพลแต่ละตัวตามลำดับได้ คือ

$$p_1 = -\frac{g_{m3} + g_{m5}}{C_3 + C_5 + C_6} \quad (21)$$

$$p_2 = -\frac{g_{m15}}{C_{15} + C_{16}} \quad (22)$$

$$p_3 = -\frac{g_{m10}}{C_7 + C_8 + C_9 + C_{10}} \quad (23)$$

จากสมการที่ (21)–(23) เราจะสามารถทำการวิเคราะห์เพื่อหาความกว้างแถบความถี่ใช้งานของวงจร โดยการประมาณค่าความถี่ของโพลแต่ละตัว จากนั้นพิจารณาความถี่ของโพลตัวที่ต่ำที่สุดเป็นขีดจำกัดด้านความถี่สูงของวงจร หากพิจารณาที่กระแสอินพุต $I_{IN} = 100 \mu\text{A}$ และพารามิเตอร์ของมอสทรานซิสเตอร์ ที่ใช้ออกแบบมีค่า $g_{m3} = 32.24 \times 10^{-6} \text{ AV}^{-1}$, $g_{m5} = 55.35 \times 10^{-6} \text{ AV}^{-1}$, $g_{m10} = 20.57 \times 10^{-6} \text{ AV}^{-1}$, $g_{m15} = 18.34 \times 10^{-6} \text{ AV}^{-1}$, $C_3 = 13.63 \times 10^{-15} \text{ F}$, $C_5 = C_6 = 17.63 \times 10^{-15} \text{ F}$, $C_7 = C_8 = C_9 = C_{10} = 15.98 \times 10^{-15} \text{ F}$ และ $C_{15} = C_{16} = 12.87 \times 10^{-15} \text{ F}$ พบว่า

ความถี่ของโพล $p_1 = 285.14 \text{ MHz}$, $p_2 = 113.39 \text{ MHz}$ และ $p_3 = 51.22 \text{ MHz}$ ซึ่งพิจารณาได้ว่าขีดจำกัดการทำงานทางด้านความถี่จะขึ้นอยู่กับวงจรสะท้อนกระแส โดยค่าความกว้างแถบความถี่ใช้งานของวงจรที่นำเสนอ คือ

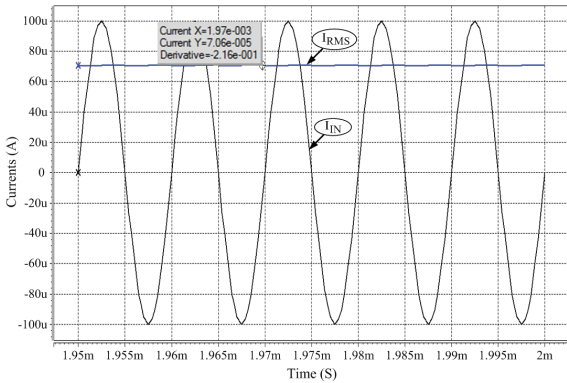
$$f_{-3dB} = \frac{g_{m10}}{2\pi(C_7 + C_8 + C_9 + C_{10})} \quad (24)$$

ดังนั้น จะสามารถพิจารณาได้ว่าเมื่อกระแสอินพุต $I_{IN} = 100 \mu\text{A}$ วงจรที่นำเสนอจะมีความกว้างแถบความถี่ใช้งานเท่ากับ 51.22 MHz

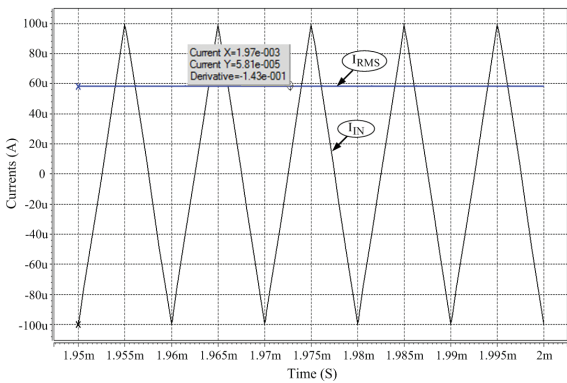
3. ผลการจำลองการทำงานของวงจร

เพื่อเป็นการยืนยันสมรรถนะของวงจรถ้าค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอในรูปที่ 3 จึงได้จำลองการทำงานของวงจรด้วยโปรแกรม HSPICE โดยใช้แบบจำลองซีมอสพารามิเตอร์ของ BSIM3v3 ระดับ 49 เทคโนโลยี TSMC $0.18 \mu\text{m}$ เมื่อกำหนดให้ขนาดความกว้างยาวประสิทธิภาพของช่องทางเดินกระแส (W/L) ของมอสทรานซิสเตอร์ M14 มีค่า $4 \mu\text{m}/0.5 \mu\text{m}$ และมอสทรานซิสเตอร์ M17 มีค่า $5.7 \mu\text{m}/0.5 \mu\text{m}$ สำหรับมอสทรานซิสเตอร์ตัวอื่นๆ มีค่า $2 \mu\text{m}/0.5 \mu\text{m}$ โดยผลการจำลองการทำงานของวงจรที่นำเสนอ จะทำการทดสอบคุณสมบัติทางเวลา (Transient) เมื่อกำหนดให้แรงดันไฟเลี้ยง V_{DD} มีค่า 1.8 V ตัวเก็บประจุ C_{AV} มีค่า 50 nF และสัญญาณอินพุต I_{IN} อยู่ในรูปของสัญญาณชานน์สัญญาณสามเหลี่ยม และสัญญาณสี่เหลี่ยม ซึ่งผลการจำลองการทำงานของวงจรแสดงได้ดังรูปที่ 4 ถึงรูปที่ 6 ตามลำดับ ซึ่งจะเห็นได้ว่าวงจรที่ออกแบบสามารถแปลงสัญญาณเพื่อหาค่าเฉลี่ยกำลังสองของสัญญาณได้ดีสอดคล้องตามทฤษฎีที่นำเสนอ

จากรูปที่ 4 ถึงรูปที่ 6 แสดงผลตอบสนองทางเวลาของวงจรถ้าค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอ เมื่อกำหนดให้สัญญาณอินพุต $I_{IN} = 100 \mu\text{A}$ ความถี่ 100 kHz อยู่ในรูปสัญญาณชานน์ สัญญาณสามเหลี่ยม และสัญญาณสี่เหลี่ยมตามลำดับ พบว่า สัญญาณเอาต์พุต I_{RMS} ที่ได้มีค่าเท่ากับ $70.6 \mu\text{A}$, $58.1 \mu\text{A}$ และ $99.1 \mu\text{A}$ ซึ่งความคลาดเคลื่อนของ



รูปที่ 4 ผลตอบสนองทางเวลากรณีสัญญาณซายน์

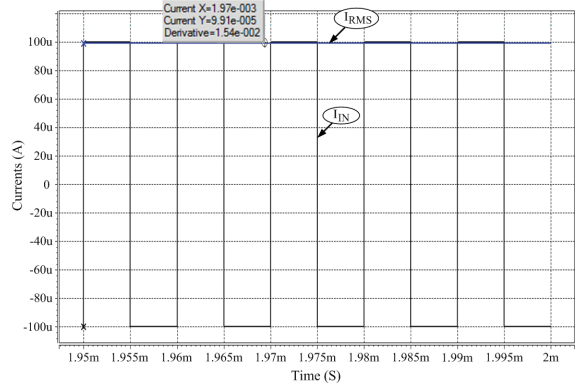


รูปที่ 5 ผลตอบสนองทางเวลากรณีสัญญาณสามเหลี่ยม

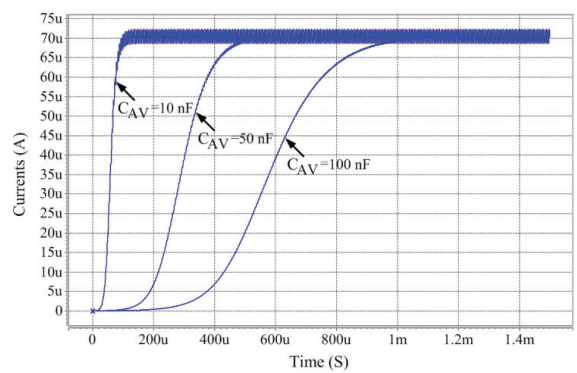
การแปลงสัญญาณมีค่าเท่ากับ ร้อยละ 0.14, 0.69 และ 0.9 ตามลำดับ

จากผลการจำลองการทำงานของวงจรที่นำเสนอแสดงให้เห็นว่าวงจรที่ออกแบบสามารถคำนวณหาค่าเฉลี่ยกำลังสองของสัญญาณได้ทุกรูปสัญญาณ และค่าความคลาดเคลื่อนของการแปลงสัญญาณตลอดช่วงสัญญาณอินพุตที่สนใจต่ำกว่าร้อยละ 1 นอกจากนี้ยังพบว่า ที่สัญญาณอินพุตมีขนาดสูงสุด 100 μA จะมีค่าการบริโภคกำลังต่ำกว่า 0.15 μW

เพื่อเป็นการทดสอบคุณสมบัติด้านการหน่วงเวลา (Time Delay) ของวงจรที่นำเสนอ โดยจะกำหนดให้สัญญาณอินพุต I_{IN} อยู่ในรูปของสัญญาณซายน์มีขนาด 100 μA ความถี่เท่ากับ 100 kHz จากนั้นทำการเปลี่ยนค่าตัวเก็บประจุ ให้มีค่า 10 nF, 50 nF และ 100 nF พบว่า สัญญาณเอาต์พุต I_{RSM} ที่ได้มีค่าการหน่วงเวลาประมาณ 150 μs ,



รูปที่ 6 ผลตอบสนองทางเวลากรณีสัญญาณสี่เหลี่ยม



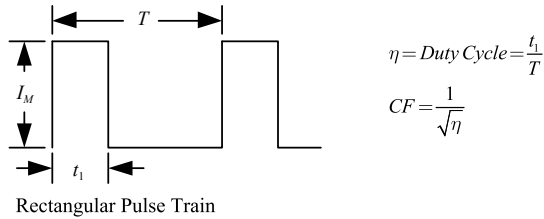
รูปที่ 7 ความสัมพันธ์ระหว่างค่าตัวเก็บประจุกับการหน่วงเวลาของวงจร

650 μs และ 1.25 ms ตามลำดับ ซึ่งผลการทดสอบคุณสมบัติดังกล่าวแสดงได้ดังรูปที่ 7

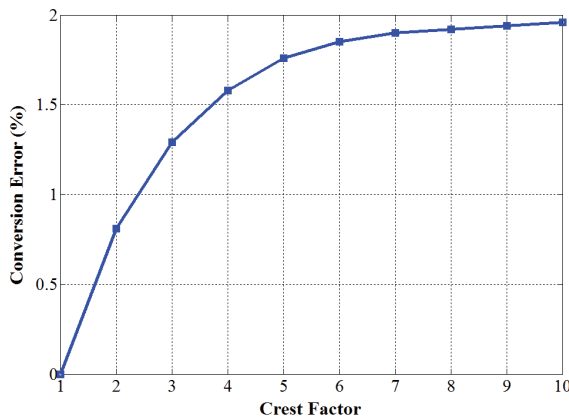
จากรูปที่ 7 แสดงให้เห็นว่าการเลือกใช้ค่าตัวเก็บประจุ C_{AV} ที่มีค่ามากๆ ในการออกแบบวงจรจะทำให้ค่าการกระเพื่อมของสัญญาณมีค่าน้อย แต่ก็จะทำให้การหน่วงเวลาของวงจรมีค่ามากขึ้น ดังนั้น ในการพิจารณาเลือกใช้ค่าตัวเก็บประจุ C_{AV} ในการออกแบบวงจรจะต้องเลือกค่าตัวเก็บประจุที่มีความเหมาะสมกับการนำไปประยุกต์ใช้งาน

เพื่อเป็นการแสดงให้เห็นคุณสมบัติการทำงานของวงจรด้านความแม่นยำ (Accuracy) ของการวัดสัญญาณ เมื่อสัญญาณอินพุตมีค่าตัวประกอบค่ายอด (Crest Factor; CF) ที่แตกต่างกัน

โดยที่ตัวประกอบค่ายอด นิยามว่า เป็นอัตราส่วนของ



รูปที่ 8 สัญญาณขบวนพัลส์เพื่อใช้ทดสอบค่าตัวประกอบค่ายอด



รูปที่ 9 กราฟความสัมพันธ์ของค่าความผิดพลาดเทียบกับค่าตัวประกอบค่ายอด

ค่ายอดขนาดของสัญญาณ หารด้วยค่าเฉลี่ยกำลังสองของสัญญาณ [22]

การทดสอบการทำงานของวงจรจะทำการทดลองโดยกำหนดให้สัญญาณอินพุตเป็นสัญญาณขบวนพัลส์ ดังรูปที่ 8 มีขนาดของสัญญาณอินพุต I_M คงที่เท่ากับ $100 \mu A$ และมีความกว้างของพัลส์ (Pulse Width) t_1 เท่ากับ $100 \mu s$ โดยจะทำการแปรค่ารอบทำงาน (Duty Cycle) ตามตัวประกอบค่ายอดตั้งแต่ 1 ถึง 10 ($CF = 1$ ถึง 10) จากนั้นพิจารณาหาค่าความผิดพลาด (Conversion Error) ของสัญญาณเอาต์พุต I_{RMS} ที่ตัวประกอบค่ายอดต่างๆ [23] พบว่า วงจรที่ออกแบบมีความแม่นยำในการแปลงสัญญาณเพื่อหาค่าเฉลี่ยกำลังสองของสัญญาณ เมื่อสัญญาณอินพุตมีค่าตัวประกอบค่ายอดตั้งแต่ 1 ถึง 2 มีค่าความผิดพลาดไม่เกินร้อยละ 0.81 และในกรณีค่าตัวประกอบค่ายอดตั้งแต่ 3 ถึง 10 ค่าความผิดพลาดไม่เกินร้อยละ 1.96 ดังแสดงในรูปที่ 9 ซึ่งสามารถพิจารณา

ได้ว่าเมื่อกำหนดให้สัญญาณอินพุตมีค่าตัวประกอบค่ายอดเพิ่มขึ้นจะส่งผลให้ค่าความผิดพลาดสัญญาณเอาต์พุตมีค่าเพิ่มสูงขึ้น ซึ่งเป็นผลมาจากความผิดเพี้ยนของสัญญาณ (Distorted Waveform) ที่มากขึ้น

นอกจากนี้การทดสอบการทำงานของวงจรในเชิงความถี่เพื่อหาความกว้างแถบความถี่ (Bandwidth) สามารถทดลองได้โดยการกำหนดให้สัญญาณอินพุต I_{IN} เป็นสัญญาณไซน์มีขนาดคงที่ จากนั้นจึงทำการแปรเปลี่ยนค่าความถี่ของสัญญาณอินพุตให้เพิ่มขึ้น แล้วพิจารณาว่า ความถี่นั้นๆ วงจรจะยังคงสามารถแปลงสัญญาณเพื่อหาค่าเฉลี่ยกำลังสองของสัญญาณได้อย่างถูกต้อง โดยสัญญาณเอาต์พุต I_{RMS} จะยังคงมีค่าความคลาดเคลื่อนไม่เกินค่าที่กำหนด [23], [24] ตัวอย่างเช่น หากต้องการทราบว่าวงจรที่ออกแบบเมื่อสัญญาณอินพุต I_{IN} มีขนาด $100 \mu A$ จะมีความกว้างแถบความถี่เท่าไร โดยที่ค่าความคลาดเคลื่อนไม่เกินร้อยละ 1 เราจะสามารถทดสอบการทำงานของวงจรได้โดยทำการแปรเปลี่ยนค่าความถี่ของสัญญาณอินพุตให้เพิ่มขึ้น พบว่าสัญญาณเอาต์พุต I_{RMS} มีค่าความคลาดเคลื่อนไม่เกินร้อยละ 1 ที่ความถี่สูงสุด 50 MHz ซึ่งหากเพิ่มความถี่มากกว่านี้สัญญาณเอาต์พุตจะมีค่าลดลง และส่งผลให้ค่าความคลาดเคลื่อนสูงมากขึ้นกว่าที่กำหนดไว้

จากผลการจำลองการทำงานของวงจรดังรูปที่ 3 เพื่อหาความกว้างแถบความถี่ใช้งานของวงจร โดยจะกำหนดให้ค่าความคลาดเคลื่อนไม่เกิน ร้อยละ 1 (-3dB Bandwidth for 1% Addition Error) พบว่า วงจรที่ออกแบบมีความกว้างแถบความถี่ใช้งานสูง กล่าวคือ เมื่อสัญญาณอินพุต I_{IN} มีขนาด $50 \mu A$ และ $100 \mu A$ ความกว้างแถบความถี่ที่ได้มีค่า 30 MHz และ 50 MHz ตามลำดับ

4. สรุป

บทความวิจัยนี้นำเสนอวงจรหาค่าเฉลี่ยกำลังสองของสัญญาณที่ซิมอสทำงานในโหมดกระแสบนพื้นฐานหลักการทรานซิสเตอร์ โดยมุ่งเน้นให้วงจรที่ออกแบบสามารถทำงานได้ดีรองรับสัญญาณอินพุตได้ทุกรูปแบบของสัญญาณทั้งสัญญาณด้านบวกและลบ โดยไม่ต้องใช้วงจรเรียงกระแส

ตารางที่ 1 เปรียบเทียบคุณสมบัติของวงจรถ้าค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอ

คุณสมบัติ	[20]	[25]	[26]	ที่นำเสนอ
หลักการทำงานที่ใช้ออกแบบ	Class-AB transconductance	Translinear	Translinear	Translinear
เทคโนโลยีมอสทรานซิสเตอร์	0.5 μm	0.35 μm	0.18 μm	0.18 μm
แรงดันไฟเลี้ยง	1.5 V	3.3 V	1.2 V	1.8 V
พิสัยพลวัตของกระแสอินพุต	12 μA –22 μA	ไม่รายงาน–20 μA	2.5 μA –30 μA	0.5 μA –100 μA
ความคลาดเคลื่อนการแปลงสัญญาณ	< 3%	> 1%	< 3%	< 1%
การบริโภคกำลัง	ไม่รายงาน	283 μW	100 μW	0.15 μW
ตัวเก็บประจุ	125 nF	0.01 pF	300 nF	50 nF
ความกว้างแถบความถี่ใช้งาน	ไม่รายงาน	ไม่รายงาน	ไม่รายงาน	ไม่รายงาน
จำนวนมอสทรานซิสเตอร์	40 MOS	19 MOS	18 MOS	17 MOS
พื้นที่การทำงานของอินพุต	1 Quad.	2 Quad.	2 Quad.	2 Quad.
ข้อคิดเห็น	<ul style="list-style-type: none"> - ต้องการใช้วงจรเรียงกระแสแบบเต็มคลื่นต่อรวมภายนอกในส่วนภาคอินพุต - ใช้แรงดันไบอัสภายนอก 1.2 V 	<ul style="list-style-type: none"> - ใช้อุปกรณ์เพิ่มในการออกแบบ 2 ตัว - ใช้กระแสไบอัสคงที่ $I_{b1}=I_{b2}=I_{b3}$ มีค่า 1 μA 	<ul style="list-style-type: none"> - ใช้แรงไบอัสภายนอก 0.55 V 	

ต่อเพิ่ม ภายใต้แรงดันไฟเลี้ยงต่ำ (1.8 V) ในช่วงกระแสอินพุตที่กว้าง (0.5 μA –100 μA) โดยมีความคลาดเคลื่อนในการแปลงสัญญาณตลอดช่วงสัญญาณอินพุตน้อยมาก (< 1%) และมีการบริโภคกำลังที่ต่ำมาก (0.15 μW) รวมถึงจำนวนมอสทรานซิสเตอร์ในการออกแบบวงจรไม่มาก (17 MOS) นอกจากนี้วงจรที่นำเสนอมีความกว้างแถบความถี่ที่สูงมาก (50 MHz) และมีความแม่นยำในการแปลงสัญญาณที่ตัวประกอบค่ายอดตั้งแต่ 1 ถึง 10 ไม่เกินร้อยละ 1.96 ซึ่งสามารถสรุปคุณสมบัติต่างๆ ของวงจรถ้าค่าเฉลี่ยกำลังสองของสัญญาณที่นำเสนอเปรียบเทียบกับวงจรที่มีการนำเสนอก่อนหน้านี้ได้ดังตารางที่ 1

เอกสารอ้างอิง

[1] A. J. Peyton and V. Walsh, *Analog Electronic with Op Amps: A Source Book of Practical*

Circuit. Cambridge University Press, Cambridge: UK, 1993.

[2] K. Kaewdang, C. Fongsamut, K. Kumwachara, and W. Surakamponorn, “An integrable CMOS-based true RMS-to-DC converter using class AB amplifier,” in *Proceeding of EECON-24*, pp. 136–141, 2001 (in Thai).

[3] P. B. Petrovic, “Electronically controllable current-mode true RMS to DC converter,” *Journal of Microelectronics, Electronic Components and Materials*, vol. 45, no. 2, pp. 117–124, 2015.

[4] G. Lian, S. Zhang, M. Zhang, M. Cheng, and X. Suo, “Application of the RMS-to-DC converter in transformer winding deformation tester,”



- in *International Conference on Artificial Intelligence, Management Science and Electronic Commerce (AIMSEC)*, 2011, pp. 3796–3799.
- [5] S. A. P. Haddad and W. A. Serdijin, *Ultra Low-Power Biomedical Signal Processing*. Springer Publishers, Dordrecht: NL, 2009.
- [6] W. Surakampontrorn and K. Kumwachara, “A dual translinear-based true RMS-to-DC converter,” *IEEE Transactions on Instrumentation and Measurements*, vol. 47, no. 2, pp. 459–464, 1999.
- [7] J. Mulder, A. C. van der Woerd, W. A. Serdijin, and A. H. M. van Roermund, “An RMS-DC converter based on the dynamic translinear principle,” *IEEE Journal of Solid-State Circuits*, vol. 32, no. 7, pp. 1146–1150, 1997.
- [8] A. J. Lopez-Martin and A. Carlosena, “A 1.5V current-mode CMOS RMS-to-DC converter,” *Analog Integrated Circuits and Signal Processing*, vol. 36, no. 1, pp. 137–143, 2003.
- [9] W. S. Wey and Y. C. Huang, “A CMOS delta-sigma true RMS converter,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 2, pp. 248–257, 2000.
- [10] E. Farshidi and S. M. Sayedi, “A micropower multi decade dynamic range current-mode true RMS-to-DC converter,” in *IEEE Northeast Workshop on Circuits and Systems (NEWCAS)*, 2007, pp. 1493–1496.
- [11] M. H. Danesh, S. Nikseresht, and M. Dehdast, “A current-mode RMS-to-DC converter based on translinear principle,” *International Journal of Electrical and Electronics Engineering*, vol. 3, pp. 90–93, 2013.
- [12] S. Minaei and C. Psychalinnos, “Two-quadrant fully integrable rms-to-dc converter for handling low-frequency signals,” *International Journal of Electronics and Communications (AEU)*, vol. 69, pp. 1897–1901, 2015.
- [13] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC Design: The current-mode approach*. Peter Peregrinus, London: UK, 1990.
- [14] L. Safari and S. J. Azhari, “A novel low voltage very low power CMOS class AB current output stage with ultra high output current drive capability,” *Microelectronics Journal, Elsevier*, vol. 43, pp. 34–42, 2012.
- [15] R. J. Wiegierink, *Analysis and Synthesis of MOS Translinear Circuits*, Massachusetts Kluwer Academic Publishers, 1993.
- [16] S. Pookaiyadom, K. Dejhan, and C. Watanachaiprateep, “Electronically tunable filter blocks,” *International Journal of Electronics*, vol. 46, pp. 521–527, 1979.
- [17] Y. J. Wong and W. E. Ott, *Function Circuits: Design and Applications*. McGraw-Hill, 1976.
- [18] Z. Wang, “Novel pseudo RMS current converter for sinusoidal signals using a CMOS precision current rectifier,” *IEEE Transactions on Instrumentation and Measurements*, vol. 39, no. 4, pp. 670–671, 1990.
- [19] K. Kaewdang, K. Kumwachara, and W. Surakampontrorn, “A translinear-based true RMS-to-DC converter using only npn BJTs,” *International Journal of Electronics and Communications (AEU)*, vol. 63, no. 6, pp. 472–477, 2009.
- [20] C. A. De La Cruz-Blas, A. Lopez-Martin, A. Carlosena, and J. Ramirez-Angulo, “1.5-V Current-mode CMOS true RMS-DC converter based on class-AB transconductors,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, no. 7,

- pp. 376–379, 2005.
- [21] A. Worapishet, *Wireless CMOS Integrated Circuits Techniques*. Mahanakorn University of Technology, Bangkok: TH, 2011.
- [22] H. L. Helms, *Linear Integrated Circuit Devices 1987: Source Book*. Prentice-Hall, Englewood Cliffs: NJ, 1987.
- [23] Analog Devices, Low Level True RMS-to-DC Converter AD636 [Online]. Availble. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD636.pdf>
- [24] B. P. Van Driehuisen and R. F. Wolffenbuttel, “Integrated micromachined electrostatic true RMS-to-DC converter,” *IEEE Transactions on Instrumentation and Measurements*, vol. 44, no. 2, pp. 370–373, 1995.
- [25] K. Gupta, M. Bhardwaj, B. P. Singh, and R. Choudhary, “Design of low power low cost true RMS-to-DC converter,” in *International Conference on Advanced Computing and Communication Technologies*, 2012, pp. 364–367.
- [26] E. Farshidi and H. Asiaban, “A new true RMS-to-DC converter using up-down translinear loop in CMOS technology,” *Analog Integrated Circuits and Signal Processing*, vol. 70, pp. 385–390, 2012.