วารสารวิชาการพระจอมเกล้าพระนครเหนือ ปีที่ 30, ฉบับที่ 2 เม.ย.–มิ.ย. 2563
The Journal of KMUTNB., Vol. 30, No. 2, Apr.–Jun. 2020

บทความวิจัย

การวิเคราะห์และออกแบบวงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกันสำหรับภาครับของ WLAN ย่านความถี่ 2.4 กิกะเฮิรตซ์ และ 5 กิกะเฮิรตซ์

อิทธิพัฒน์ รูปคม*
คณะวิศวกรรมศาสตร์และเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยราชภัฏเพชรบุรี

* ผู้นิพนธ์ประสานงาน โทรศัพท์ 08 8687 4777 อีเมล: flynflyn27@yahoo.com DOI: 10.14416/j.kmutnb.2020.01.004
รับเมื่อ 30 กรกฎาคม 2562 แก้ไขเมื่อ 10 ตุลาคม 2562 ตอบรับเมื่อ 17 ตุลาคม 2562 เผยแพร่ออนไลน์ 20 มกราคม 2563
© 2020 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

บทคัดย่อ

บทความนี้นำเสนอการวิเคราะห์และออกแบบวงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกันสำหรับภาครับของ WLAN ย่านความถี่ 2.4 กิกะเฮิรตซ์ และ 5 กิกะเฮิรตซ์ การวิเคราะห์ความถี่ของวงจรจะใช้เทคนิคการวิเคราะห์แบบโครงข่ายหลายความถี่เรโซแนนซ์ ซึ่งทำให้สามารถทำนายความถี่แถบผ่านทั้งสองแถบได้อย่างแม่นยำ การออกแบบวงจรและหาค่าอุปกรณ์สำหรับการจำลองจะเรียงลำดับตามขั้นตอนการออกแบบที่ได้อธิบายไว้ ผลการจำลองแสดงค่าอัตราขยายเท่ากับ 22.2 ดีบี แบนด์วิดท์เท่ากับ 0.495 กิกะเฮิรตซ์ ที่ความถี่ 2.4 กิกะเฮิรตซ์ และที่ความถี่ 5 กิกะเฮิรตซ์ มีอัตราขยายเท่ากับ 23.5 ดีบี แบนด์วิดท์เท่ากับ 0.65 กิกะเฮิรตซ์ คิดเป็นค่า FBW เท่ากับ 20.6% และ 13% ตามลำดับ ค่ากำลังงานย้อนกลับจากเอาต์พุตสู่อินพุตน้อยกว่า –47 ดีบี และค่าจุดกด 1 ดีบี ด้านเอาต์พุตเท่ากับ –22 ดีบีเอ็ม และ –20.2 ดีบีเอ็ม ที่พอร์ตเอาต์พุต P_2 และ P_3 ตามลำดับ วงจรใช้ไฟเลี้ยงต่ำขนาด 1.5 โวลต์ กระแส 14 มิลลิแอมป์ การกำลังงานเท่ากับ 21 มิลลิวัตต์ จากผลการจำลองแสดงให้เห็นถึงความสอดคล้องกับการวิเคราะห์วงจรในทางทฤษฎีที่ได้สังเคราะห์ไว้

คำสำคัญ: วงจรขยายแถบผ่านแถบคู่ วงจรขยายเชิงกระจายต่อเรียงกัน โครงข่ายหลายเรโซแนนซ์

การอ้างอิงบทความ: อิทธิพัฒน์ รูปคม, "การวิเคราะห์และออกแบบวงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกันสำหรับภาครับของ WLAN ย่านความถี่ 2.4 กิกะเฮิรตซ์ และ 5 กิกะเฮิรตซ์," *วารสารวิชาการพระจอมเกล้าพระนครเหนือ*, ปีที่ 30, ฉบับที่ 2, หน้า 238–247, เม.ย.–มิ.ย. 2563.

Research Article

Analysis and Design of a Cascaded Distributed Dual-band Bandpass Amplifier for 2.4 GHz and 5 GHz WLAN Receiver

Ittipat Roopkom*
Faculty of Engineering and Industrial Technology, Phetchaburi Rajabhat University, Phetchaburi, Thailand

* Corresponding Author, Tel. 08 8687 4777, E–mail: flynflyn27@yahoo.com
DOI: 10.14416/j.kmutnb.2020.01.004
Received 30 July 2019; Revised 10 October 2019; Accepted 17 October 2019; Published online: 20 January 2020
© 2020 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

Abstract

This paper presents the analysis and design of a cascaded distributed dual-band bandpass amplifier for 2.4 GHz and 5 GHz WLAN receiver. Frequency analysis uses the multi-resonances technique in which both passband frequencies are accurately determined. The design and component values in simulations are defined by the explained procedure. The simulated results show that at 2.4 GHz the power gain and bandwidth are 22.2 dB and 0.495 GHz while at 5 GHz the power gain and bandwidth are 23.5 dB and 0.65 GHz, respectively. Fractional bandwidths (FBW) are 20.6% and 13% at 2.4 GHz and 5 GHz. Input/output isolation is less than –47 dB. The output 1 dB compression point at output port P_2 and P_3 are –22 dBm and –20.2 dBm, respectively. Current and power consumptions are 14 mA and 24 mW at a 1.5 V supply voltage. These results agree well with the theoretical analysis.

Keywords: Dual-band Bandpass Amplifier, Cascaded Distributed Amplifier, Multi Resonances Network

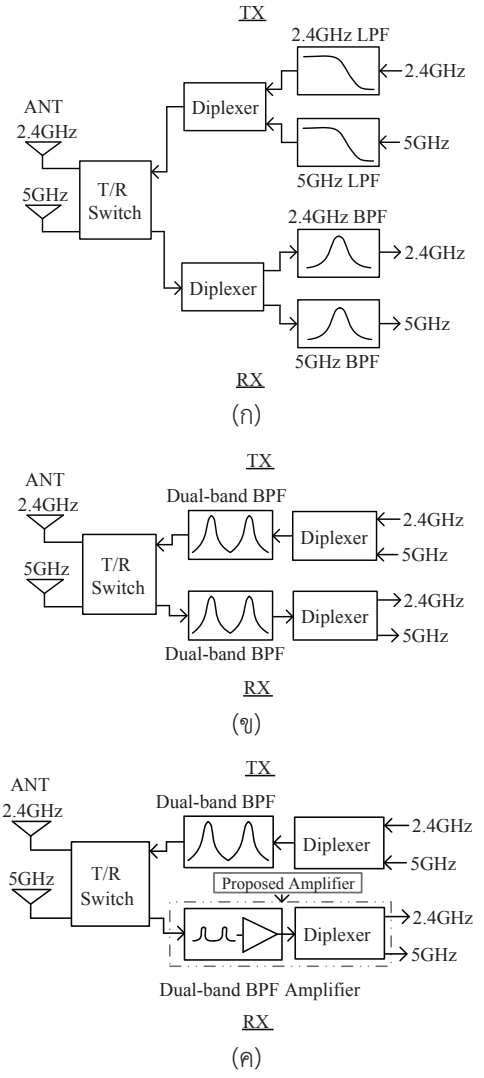
Please cite this article as: I. Roopkom, "Analysis and design of a cascaded distributed dual-band bandpass amplifier for 2.4 GHz and 5 GHz WLAN receiver," *The Journal of KMUTNB*, vol. 30, no. 2, pp. 238–247, Apr.–Jun. 2020 (in Thai).

1. บทนำ

ในช่วงหลายปีมานี้ เทคโนโลยีทางด้านสื่อสารได้ถูกพัฒนาไปอย่างรวดเร็วเพื่อตอบสนองต่อพฤติกรรมการใช้งานโทรศัพท์เคลื่อนที่ของผู้บริโภคที่เปลี่ยนแปลงไป จากเดิมที่ใช้เพื่อโทรออกหรือรับสายเพียงอย่างเดียว กลับกลายเป็นการใช้อินเทอร์เน็ตเพื่อเข้าสู่สังคมออนไลน์เป็นหลัก เช่น เฟซบุ๊ก ไลน์ หรือแอปพลิเคชันต่างๆ ฯลฯ ผ่านโครงข่ายโทรศัพท์เคลื่อนที่ 3G, 4G หรือ WiFi และการโทรออกหรือรับสายเป็นการใช้งานรอง จากความต้องการใช้บริการที่เปลี่ยนไปดังกล่าว ทำให้โทรศัพท์เคลื่อนที่ต้องสามารถรองรับการใช้งานได้หลายแถบความถี่ (Multiband Communication) ตัวอย่างเช่น โทรศัพท์เคลื่อนที่ความถี่ 900 เมกะเฮิรตซ์/1800 เมกะเฮิรตซ์ 900 เมกะเฮิรตซ์/ 2100 เมกะเฮิรตซ์/GPS (1.5 กิกะเฮิรตซ์) WLAN (Wireless Local Area Network) ตามกลุ่มมาตรฐาน IEEE 802.11 (IEEE 802.11 a/b/g/j) ความถี่ 2.4 กิกะเฮิรตซ์/5 กิกะเฮิรตซ์

ด้วยความถี่ใช้งานที่มีหลายช่วงแถบ วงจรกรองชนิดแถบผ่านหลายแถบความถี่ (Multiband Bandpass Filter) จึงเป็นส่วนสำคัญในการแยกสัญญาณแต่ละแถบความถี่ออกจากกัน โดยดูได้จากงานวิจัยที่มีการเผยแพร่อย่างต่อเนื่องในการปรับปรุงและพัฒนาโครงสร้างด้วยเทคนิคต่างๆ เพื่อให้วงจรมีสมรรถนะที่ดี ตัวอย่างเช่น เทคนิคเรโซเนเตอร์อิมพีแดนซ์แบบขั้น (Stepped Impedance Resonator; SIR) [1]–[3] เทคนิคการเชื่อมโยงทั้งแบบอนุกรมและแบบขนาน (Serial-coupled, Parallel-coupled) [4]–[6] อย่างไรก็ตาม เทคนิคเหล่านี้ล้วนออกแบบด้วยคุณลักษณะสายส่งเชิงกระจาย (Distributed Line) ซึ่งการออกแบบทำได้ค่อนข้างยากและไม่สามารถปรับจูนความถี่ได้อีกในภายหลัง เนื่องจากชิ้นงานถูกสร้างบนแผ่นวงจรพิมพ์ บทความนี้นำเสนอการออกแบบวงจรขยายแถบผ่านแถบคู่ด้วยอุปกรณ์กลุ่มก้อน (Lump Element) โดยดัดแปลงโครงสร้างจากวงจรขยายเชิงกระจายแถวเดี่ยวต่อเรียงกัน [7], [8] ให้มีการตอบสนองที่ความถี่ที่ต้องการ วงจรสามารถปรับจูนความถี่ได้ง่ายเพียงปรับค่าตัวเหนี่ยวนำหรือตัวเก็บประจุเท่านั้น

รูปที่ 1 แสดงบล็อกไดอะแกรมโมดูลแถบผ่านแถบคู่ที่ถูกใช้งานในภาคหน้าย่านอาร์เอฟ (RF Front-end Module) สำหรับ WLAN ย่านความถี่ 2.4 กิกะเฮิรตซ์/5 กิกะเฮิรตซ์ โครงสร้างแบบดั้งเดิมจะใช้การแยกความถี่ของสัญญาณ TX และ RX ด้วยไดเพล็กเซอร์และวงจรกรองของแต่ละแถบความถี่ดังรูปที่ 1 (ก) รูปที่ 1 (ข) เป็นโครงสร้างที่ยุบรวมวงจรกรองเข้าด้วยกันเป็นชนิดแถบผ่านแถบคู่และใช้ไดเพล็กเซอร์แยกสัญญาณสองแถบความถี่ออกจากกัน รูปที่ 1 (ค) เป็น



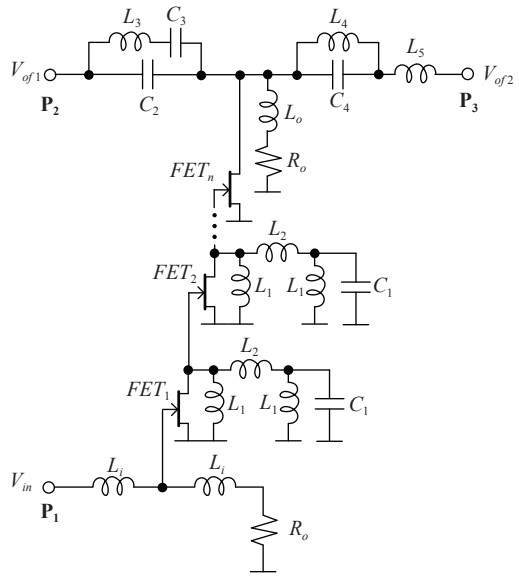
รูปที่ 1 บล็อกไดอะแกรมโมดูลแถบผ่านแถบคู่ในภาคหน้าย่านอาร์เอฟ (ก) แบบดั้งเดิม (ข) แบบยุบรวมวงจรกรอง และ (ค) แบบที่นำเสนอ

โครงสร้างที่นำเสนอโดยผนวกวงจรกรองแถบผ่านแถบคู่กับภาคขยายเชิงกระจายต่อเรียงกันและไดเพล็กเซอร์ ทำหน้าที่แยกสัญญาณในส่วนของภาครับ ซึ่งจะกล่าวถึงโครงสร้างของวงจรในหัวข้อที่ 2 หัวข้อที่ 3 จะอธิบายคุณลักษณะด้านความถี่ด้วยเทคนิคโครงข่ายหลายเรโซแนนซ์ เพื่อทำความเข้าใจการทำงานและการตอบสนองความถี่ รวมถึงการหาค่าอัตราขยายของวงจร หัวข้อที่ 4 เป็นขั้นตอนการออกแบบและจำลองการทำงานเพื่อเปรียบเทียบผลกับทฤษฎี และกล่าวสรุปในหัวข้อที่ 5

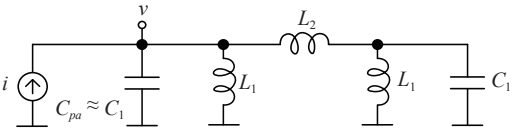
2. โครงสร้างวงจร

วงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกันมีลักษณะโครงสร้างการต่อเรียงกันของภาคขยายจำนวน n ภาคที่มีคุณลักษณะเหมือนกันทุกประการ ตัวขยายสัญญาณเป็นทรานซิสเตอร์ชนิดเฟต เช่น เจเฟต มอสเฟต เอชเจเฟต (HJFET) ด้านอินพุตของวงจรถูกออกแบบให้เป็นสายส่งเทียมเพื่อให้มีแบนด์วิดท์กว้าง ประกอบด้วยตัวเก็บประจุแฝง C_{gs} ต่อร่วมกับตัวเหนี่ยวนำ L_i และตัวต้านทานโหลด R_o ส่วนเชื่อมต่อระหว่างภาคเป็นวงจรกรองทำหน้าที่เลือกแถบความถี่แถบคู่ประกอบด้วยตัวเหนี่ยวนำ L_1, L_2 ตัวเก็บประจุแฝง C_{gs}, C_{ds} และ C_1 โดย C_{gs} และ C_{ds} เป็นตัวเก็บประจุแฝงที่ขั้วเกตและเดรนของเฟตตามลำดับ

ด้านเอาต์พุตเป็นวงจรแยกความถี่ถูกออกแบบเป็นสองส่วน ส่วนแรกเป็นสายส่งเทียมแบบครึ่งส่วน (Half Section) ประกอบด้วยตัวเก็บประจุแฝง C_{ds} ต่อร่วมกับตัวเหนี่ยวนำ L_o และตัวต้านทานโหลด R_o ส่วนที่สองเป็นวงจรกรองความถี่สองชุดทำหน้าที่เป็นไดเพล็กเซอร์เพื่อแยกสองแถบความถี่ออกจากกัน ประกอบด้วย L_3, C_2, C_3 สำหรับแยกแถบความถี่ที่หนึ่งและ L_4, L_5, C_4 สำหรับแยกแถบความถี่ที่สอง โครงสร้างของวงจรแสดงดังรูปที่ 2



รูปที่ 2 วงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกัน



รูปที่ 3 โครงข่ายเชื่อมต่อระหว่างภาค

3. การพิจารณาคุณลักษณะของวงจร

3.1 คุณลักษณะด้านความถี่ของโครงข่ายเชื่อมต่อระหว่างภาค

ในการอธิบายพฤติกรรมของโครงข่ายที่สัมพันธ์กันตามความถี่ จะใช้การวิเคราะห์แบบโครงข่ายหลายเรโซแนนซ์ (Multi Resonance Network) ซึ่งช่วยให้เกิดความเข้าใจการทำงานของวงจรได้เป็นอย่างดีและสามารถระบุความถี่แถบผ่านทั้งสองแถบของวงจรได้อย่างแม่นยำ

พิจารณาโครงข่ายเชื่อมต่อระหว่างภาคดังรูปที่ 3 เมื่อ C_{pa} แทนค่าความเก็บประจุแฝงรวมที่ขาเดรนและเกต ($C_{pa} = C_{ds} + C_{gs}$), i แทนค่าทรานส์คอนดัคแตนซ์ของเฟต กำหนดให้ C_1 มีค่าเท่ากับ C_{pa} และอุปกรณ์ทุกตัวเป็นแบบอุดมคติไม่มีค่าการสูญเสีย เพื่อง่ายต่อการวิเคราะห์วงจร โดยอาศัยมุมมองเดียวกับเทคนิคไตรเรโซแนนซ์ [9], [10] ทำให้เห็นพฤติกรรมของโครงข่ายที่สัมพันธ์กับความถี่ดังนี้

ที่ความถี่ต่ำ แรงดัน v ที่ตกคร่อมตัวเหนี่ยวนำ L_1 จะค่อยๆ เพิ่มขึ้นตามคุณลักษณะของตัวเหนี่ยวนำ และจะเพิ่มขึ้นอย่างรวดเร็ว เมื่อความถี่เข้าใกล้ความถี่เรโซแนนซ์ของโครงข่ายขนานที่

$$\omega = \omega_{re1} = 1/\sqrt{L_1 C_1} \quad (1)$$

ณ ความถี่นี้ จะเกิดปรากฏการณ์เรโซแนนซ์แบบคู่ขนานของชุดโครงข่ายด้านข้าง [รูปที่ 4 (ก)] ทำให้แรงดัน v มีค่ายอดเท่ากับ แสดงดังสมการที่ (2)

$$v = v_{re1} \approx i \times (Q_{1,L1}^2 R_{L1} / 2) \quad (2)$$

เมื่อ $Q_{1,L1}, R_{L1}$ คือค่าตัวประกอบคุณภาพของตัวเหนี่ยวนำ L_1 และค่าสูญเสียที่ความถี่เรโซแนนซ์ ω_{re1} ตามลำดับ หลังจากนั้นค่าแรงดันจะลดลงตามความถี่อย่างรวดเร็วจนเป็นศูนย์ที่ความถี่เรโซแนนซ์แบบอนุกรม [รูปที่ 4 (ข)] ที่

$$\omega = \omega_{re2} = 1/\sqrt{L_2 C_{eq}} \quad (3)$$

เมื่อ C_{eq} คือตัวเก็บประจุสมมูลมีค่าเท่ากับ $(C_1 \times L_1)/(L_1+L_2)$ แทนค่า C_{eq} ในสมการที่ (3) จะได้ความสัมพันธ์ของความถี่เรโซแนนซ์แบบอนุกรมตามสมการที่ (4)

$$\omega_{re2} = \omega_{re1} \times \sqrt{1 + L_1 / L_2} \quad (4)$$

เมื่อความถี่สูงขึ้น โครงข่ายเชื่อมต่อระหว่างภาคจะมีพฤติกรรมเสมือนโครงข่ายขนานดังรูปที่ 4 (ค) และเกิดเรโซแนนซ์อีกครั้งที่ความถี่

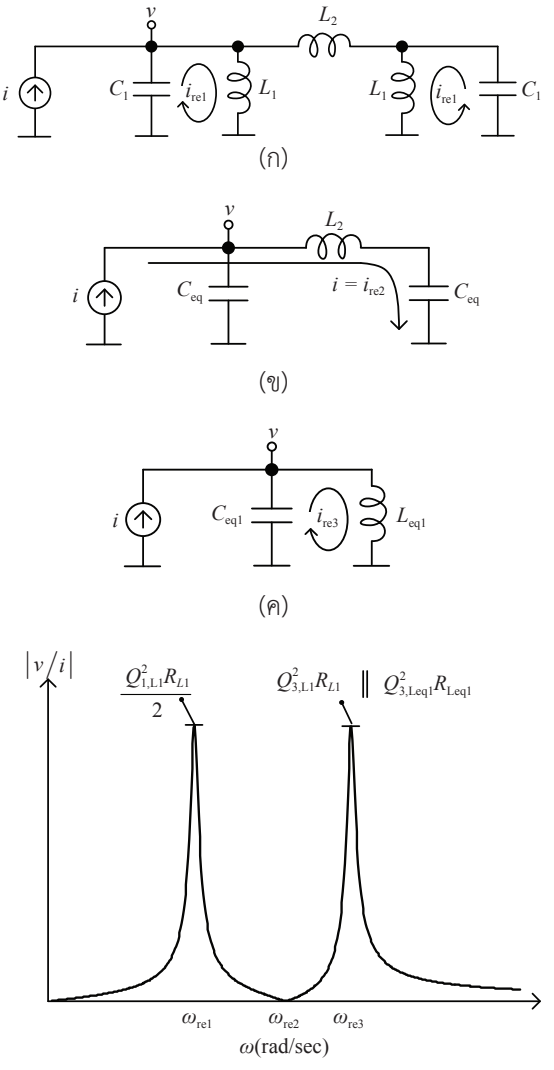
$$\omega = \omega_{re3} = 1/\sqrt{L_{eq1} C_{eq1}} \quad (5)$$

เมื่อ L_{eq1} และ C_{eq1} คือตัวเหนี่ยวนำและตัวเก็บประจุสมมูลมีค่าเท่ากับ

$$L_{eq1} = L_2 / 2 \quad (6)$$

$$C_{eq1} = 2C_1 L_1 / (2L_1 + L_2) \quad (7)$$

แทนสมการที่ (6) และสมการที่ (7) ลงในสมการที่ (5) จะได้ดังสมการที่ (8)



รูปที่ 4 พฤติกรรมของโครงข่ายเชื่อมต่อระหว่างภาค (ก) เรโซแนนซ์คู่ขนาน (ข) เรโซแนนซ์อนุกรม (ค) เรโซแนนซ์ขนาน และ (ง) ผลตอบสนองทางความถี่

$$\omega_{re3} = \omega_{re1} \times \sqrt{1 + (2L_1 / L_2)} \quad (8)$$

ซึ่งที่ความถี่นี้จะเกิดแรงดันยอดอีกครั้งมีค่าเท่ากับสมการที่ (9)

$$v = v_{re3} \approx \left(Q_{3,L1}^2 R_{L1} \,\|\, Q_{3,Leq1}^2 R_{Leq1}\right) \times i \quad (9)$$

เมื่อ $Q_{3,L1}, Q_{3,Leq1}$ คือค่าตัวประกอบคุณภาพของตัวเหนี่ยวนำ L_1 และ L_{eq1} ที่ความถี่เรโซแนนซ์ ω_{re3} ตามลำดับ R_{eq1} คือค่าสูญเสียของตัวเหนี่ยวนำสมมูล L_{eq1} มีค่าเท่ากับ ดังสมการที่ (10)

$$R_{\mathrm{Leq1}} = R_{\mathrm{L2}} + \left[R_{\mathrm{L1}} \times \left(L_2 / 2L_1 \right)^2 \right] \tag{10}$$

เมื่อ R_{L2} คือค่าสูญเสียของตัวเหนี่ยวนำ L_2 หลังเกิดแรงดันยอดที่ความถี่เรโซแนนซ์ ω_{re3} โครงข่ายจะเสมือนตัวเก็บประจุเพียงอย่างเดียว ทำให้แรงดัน v ลดลงตามคุณลักษณะของตัวเก็บประจุและเป็นศูนย์ในที่สุด โดยพฤติกรรมของโครงข่ายตามความถี่แสดงดังรูปที่ 4 (ง) ซึ่งสอดคล้องกับคุณลักษณะการส่งผ่านอิมพีแดนซ์ตามความถี่ของโครงข่ายเชื่อมต่อระหว่างภาคในดังสมการที่ (11)

$$\frac{v(j\omega)}{i(j\omega)} = z_{\mathrm{int}}(j\omega) = \frac{j\omega L_1}{1-\omega^2 L_1 C_1} \times \left[1 - \frac{L_1}{2L_1 + L_2(1-\omega^2 L_1 C_1)} \right] \tag{11}$$

เมื่อพิจารณาสมการที่ (11) จะพบว่า โครงข่ายมีหนึ่งซีโร่ที่ความถี่ ดังสมการที่ (12)

$$\omega_z = \sqrt{(L_1 + L_2)/(L_1 L_2 C_1)} \tag{12}$$

และมีสองโพลที่ความถี่ ดังสมการที่ (13), (14)

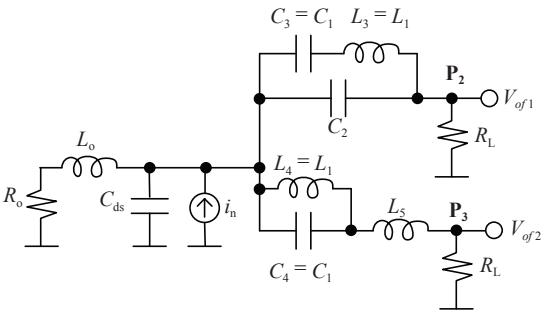
$$\omega_{\mathrm{p1}} = 1/\sqrt{(L_1 C_1)} \tag{13}$$

$$\omega_{\mathrm{p2}} = \sqrt{(2L_1 + L_2)/(L_1 L_2 C_1)} \tag{14}$$

ซึ่งทั้งสามความถี่ตรงกับ ω_{re2}, ω_{re1} และ ω_{re3} ที่อธิบายด้วยเทคนิคโครงข่ายหลายเรโซแนนซ์ตามลำดับ

3.2 คุณลักษณะของวงจรแยกความถี่

สัญญาณจากโครงข่ายเชื่อมต่อระหว่างภาคจะถูกส่งต่อไปยังวงจรแยกความถี่ ซึ่งเป็นวงจรกรองความถี่สองชุดด้านเอาต์พุต ถูกออกแบบให้ส่งผ่านสัญญาณความถี่ ω_{re1}



รูปที่ 5 วงจรแยกความถี่

และความถี่ ω_{re3} ไปยังพอร์ต P_2 และพอร์ต P_3 ตามลำดับ โดยคุณลักษณะของวงจรจะพิจารณาจากวงจรสมมูลดังรูปที่ 5 กำหนดให้ $C_3 = C_4 = C_1$, $L_3 = L_4 = L_1$, R_L คือความต้านทานโหลด และ i_n แทนค่าทรานส์คอนดัคแตนซ์ของเฟตภาคสุดท้าย ที่ความถี่ ω_{re1} จะเกิดการเรโซแนนซ์แบบอนุกรมที่พอร์ต P_2 และเรโซแนนซ์แบบขนานที่พอร์ต P_3 ในกรณีนี้จะมีสัญญาณปรากฏที่เอาต์พุตคือ v_{of1} ดังรูปที่ 6 (ก) ในทางกลับกันที่ความถี่ ω_{re3} จะเกิดการเรโซแนนซ์แบบขนานที่พอร์ต P_2 และเรโซแนนซ์แบบอนุกรมที่พอร์ต P_3 ซึ่งจะมีสัญญาณปรากฏที่เอาต์พุตคือ v_{of2} ดังรูปที่ 6 (ข)

โดยค่า L_5 และ C_2 ถูกกำหนดให้มีค่าดังสมการที่ (15), (16)

$$L_5 = L_2 / 2 \tag{15}$$

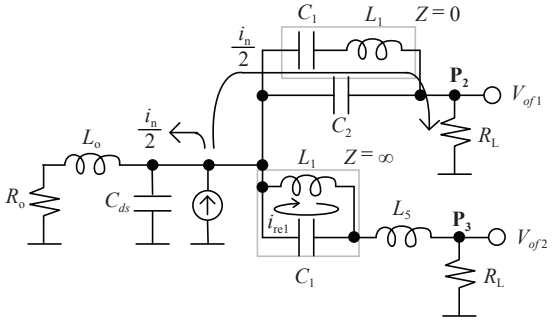
$$C_2 = L_2 C_1 / 2L_1 \tag{16}$$

และ L_{eq} เป็นตัวเหนี่ยวนำเสมือนที่ความถี่ ω_{re3} มีค่าเท่ากับดังสมการที่ (17)

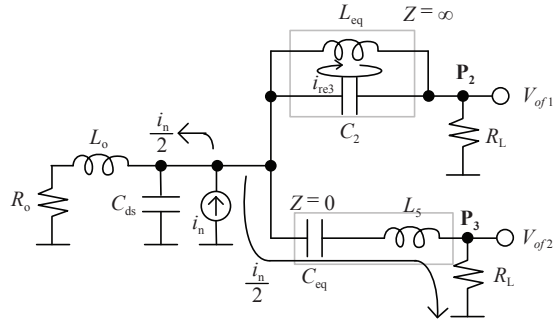
$$L_{eq} = L_1 L_2 C_1 / \left[(L_2 + 2L_1) C_2 \right] \tag{17}$$

3.3 คุณลักษณะด้านอัตราขยาย

ด้วยโครงสร้างของวงจรที่เป็นแบบต่อเรียงกันจึงมีข้อได้เปรียบในแง่ของอัตราขยายสูง อัตราขยายของวงจรที่ความถี่ ω_{re1} จะมีค่าเท่ากับ ดังสมการที่ (18)



(ก)



(ข)

รูปที่ 6 พฤติกรรมของวงจรแยกความถี่ (ก) การตอบสนองต่อความถี่ ω_{re1} และ (ข) การตอบสนองต่อความถี่ ω_{re3}

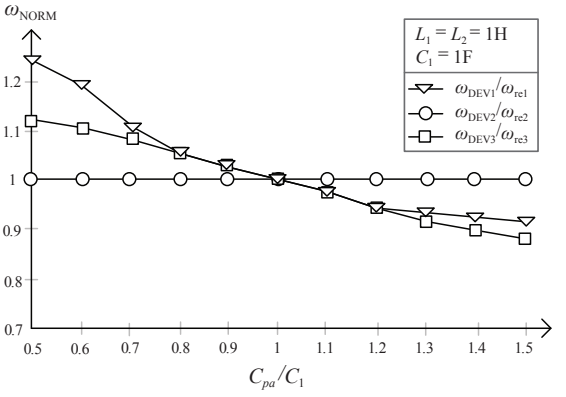
$$G_{re1} = \frac{g_m^{2n}\left(Q_{l,L1}^2 R_{L1}/2\right)^{2(n-1)} R_o^2}{4} \qquad (18)$$

เมื่อ R_o คือความต้านทานโหลดที่อินพุต/เอาต์พุต g_m คือค่าทรานซ์คอนดัคแตนซ์ของเฟต และอัตราขยายที่ความถี่ ω_{re3} มีค่าเท่ากับ ดังสมการที่ (19)

$$G_{re3} = \frac{g_m^{2n}\left(Q_{3,L1}^2 R_{L1} \parallel Q_{3,Leq1}^2 R_{Leq1}\right)^{2(n-1)} R_o^2}{4} \qquad (19)$$

3.4 การพิจารณาความไม่แมตช์ของตัวเก็บประจุ

การอธิบายพฤติกรรมของโครงข่ายในหัวข้อที่ผ่านมาได้สมมติให้ $C_{pa} = C_1$ เพื่อให้ง่ายต่อการทำความเข้าใจในเบื้องต้น แต่ในทางปฏิบัติจะมีค่าความเก็บประจุแฝงเกิดขึ้นทั้งในตัวเฟต ตัวเหนี่ยวนำ แผ่นวงจรพิมพ์ ฯลฯ ส่งผลให้เกิดความไม่แมตช์ของตัวเก็บประจุขึ้น ในหัวข้อนี้จะพิจารณาความ

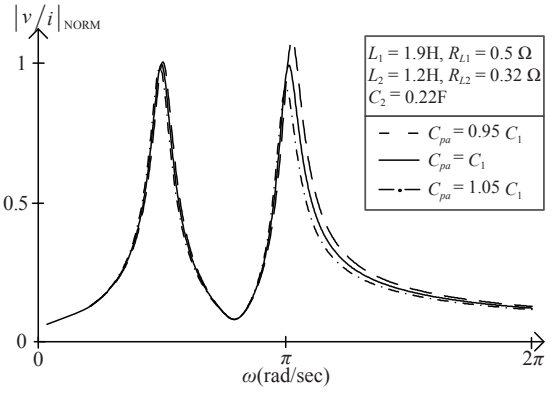


รูปที่ 7 การเบี่ยงเบนความถี่เรโซแนนซ์เทียบกับอัตราส่วนตัวเก็บประจุ C_{pa}/C_1

ไม่แมตช์ดังกล่าวที่มีผลต่อการเบี่ยงเบนไปของความถี่เรโซแนนซ์และค่ายอดของสัญญาณ

รูปที่ 7 แสดงกราฟความสัมพันธ์ระหว่างความถี่เรโซแนนซ์ที่เบี่ยงเบนไปกับอัตราส่วนตัวเก็บประจุ C_{pa}/C_1 โดย ω_{NORM} คืออัตราส่วนความถี่เบี่ยงเบนต่อความถี่ตั้งต้น ω_{DEV1}, ω_{DEV2} และ ω_{DEV3} คือความถี่เรโซแนนซ์ที่เบี่ยงเบนไปจากความถี่ตั้งต้น ω_{re1}, ω_{re2} และ ω_{re3} ตามลำดับ โดยสมมติความถี่ตั้งต้นของ $\omega_{re1} = 1$ เรเดียนต่อวินาที เพื่อง่ายต่อการสังเกต กำหนดให้ $C_1 = 1$ ฟารัด และ $L_1 = L_2 = 1$ เฮนรี จากรูปจะเห็นว่าในช่วงที่ C_{pa}/C_1 มีค่าระหว่าง 0.8–1.2 (เบี่ยงเบนไม่เกิน 20%) ความถี่เรโซแนนซ์ ω_{re1} และ ω_{re3} จะเบี่ยงเบนไปประมาณ 5% ที่น่าสังเกตคือ ω_{re2} มีค่าคงที่ไม่มีการเปลี่ยนแปลง ทั้งนี้ เนื่องจากค่า C_{pa} ไม่มีผลต่อความถี่เรโซแนนซ์ ω_{re2} แต่อย่างใด ตามรูปที่ 4 (ข)

รูปที่ 8 แสดงผลการจำลองค่ายอดของสัญญาณที่เกิดจากความไม่แมตช์ของตัวเก็บประจุ C_{pa} และ C_1 โดยกำหนดค่า $C_{pa} = 0.95C_1$, $C_{pa} = C_1$ และ $C_{pa} = 1.05C_1$ เพื่อให้สอดคล้องกับการจำลองในหัวข้อที่ 4 จะกำหนดให้ความถี่ ω_{re3} เป็นสองเท่าของ ω_{re1} และค่ายอดของสัญญาณทั้งสองแถบความถี่ใกล้เคียงกัน ซึ่งจะได้ค่า $C_{pa} = 0.22$ ฟารัด $L_1 = 1.9$ เฮนรี $L_2 = 1.2$ เฮนรี และมีค่า $Q \approx 24$ ที่ความถี่ ω_{re3} จากรูปค่ายอดของสัญญาณ ณ ความถี่ ω_{re3} จะแปรผกผันกับ C_{pa}/C_1 เมื่อ C_{pa} น้อยกว่า C_1 ค่ายอดจะเพิ่มขึ้น



รูปที่ 8 การเบี่ยงเบนค่ายอดของสัญญาณที่เกิดจากความไม่แมตช์ของตัวเก็บประจุ C_{pa} และ C_1

กลับกันหาก C_{pa} มากกว่า C_1 ค่ายอดจะลดลงในขณะที่ค่ายอดที่ความถี่ ω_{re1} เปลี่ยนแปลงน้อยมากจนสามารถละเลยได้

3.5 ขั้นตอนการออกแบบวงจร

การออกแบบเริ่มจากการกำหนดสมรรถนะของวงจรทั้งอัตราขยาย ความถี่ใช้งานและจำนวนภาคของเฟส จากนั้นหาค่าทรานส์คอนดัคแตนซ์และค่าความเก็บประจุแฝง C_{pa} ที่จุดทำงานของเฟต กำหนด $C_1 = C_{pa}$ และหาค่า L_1, L_2 จากสมการที่ (1) และสมการที่ (4) หาค่า Q_{L1}, Q_{L2} จากสมการที่ (18) และสมการที่ (19) สมการที่ (6) ถึงสมการที่ (10) ตามลำดับ จากนั้นออกแบบสายส่งอินพุต/เอาต์พุต และวงจรกรองความถี่ด้านเอาต์พุต โดยให้ $C_3 = C_4 = C_1$, C_2 มีค่าตามสมการที่ (16) และ $L_3 = L_4 = L_1$, L_5 มีค่าตามสมการที่ (15) เมื่อกำหนดค่าอุปกรณ์ครบถ้วนแล้วจำลองการทำงานเพื่อดูผล หากผลที่ได้คลาดเคลื่อนไปต้องมีการปรับจูนค่าเล็กน้อย ซึ่งความคลาดเคลื่อนอาจเกิดขึ้นได้จากอุปกรณ์แฝงต่างๆ เช่น ค่าความเก็บประจุแฝงตัวเหนี่ยวนำแฝงและความต้านทานแฝง

4. การจำลอง

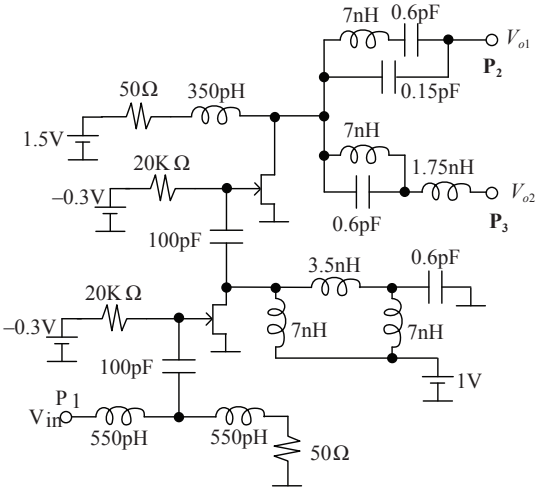
การจำลองอาศัยขั้นตอนการออกแบบที่กล่าวในหัวข้อก่อนหน้านี้ ซึ่งค่าอุปกรณ์ที่ได้แสดงดังตารางที่ 1 โดยมีสมรรถนะของวงจรคือ อัตราขยาย 25 ดีบี แถบความถี่ใช้งาน 2.4 กิกะเฮิรตซ์ และ 5 กิกะเฮิรตซ์ วงจรต่อเรียงกัน 2 ภาค (n = 2) ในการต่อเรียงกันจะมีตัวเก็บประจุค่า 100 พิโกฟารัดคั่นแต่ละภาคเพื่อให้เฟตแต่ละตัวมีจุดทำงานเดียวกัน ซึ่งจะทำให้ได้ค่าทรานส์คอนดัคแตนซ์ที่เท่ากัน ค่ากำลังงานสะท้อนกลับอินพุต/เอาต์พุตน้อยกว่า –10 ดีบี ที่ความต้านทานโหลด 50 โอห์ม เพื่อให้แมตช์กับอิมพีแดนซ์ของระบบที่มีค่าเท่ากับ 50 โอห์ม

ตารางที่ 1 ค่าอุปกรณ์ที่ใช้ในการออกแบบ

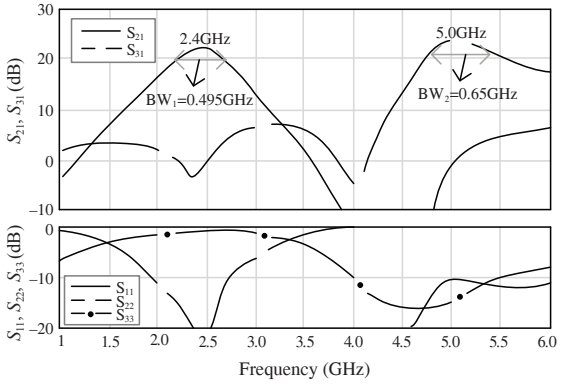
สมรรถนะของวงจรอัตราขยาย: 25 ดีบี แถบความถี่: B_1 = 2.4 กิกะเฮิรตซ์ B_2 = 5 กิกะเฮิรตซ์ จำนวนภาคต่อเรียงกัน: n = 2 กำลังงานสะท้อนกลับอินพุตและเอาต์พุต: <–10 ดีบี	
พารามิเตอร์	**ค่า**
g_m	52 มิลลิซีเมนต์
C_{pa},C_1	0.6 พิโกฟารัด 0.6 พิโกฟารัด
C_2, C_3, C_4	0.15 พิโกฟารัด 0.6 พิโกฟารัด 0.6 พิโกฟารัด
L_1/R_{L1}, L_2/R_{L2}	7 นาโนเฮนรี/10 โอห์ม 3.5 นาโนเฮนรี/5 โอห์ม
L_3/R_{L3}, L_4/R_{L4}	7 นาโนเฮนรี/10 โอห์ม 7 นาโนเฮนรี/10 โอห์ม
L_5/R_{L5}	1.75 นาโนเฮนรี/2.5 โอห์ม

วงจรที่ออกแบบแสดงดังรูปที่ 9 ในการจำลองได้รวมค่าความต้านทานแฝง เพื่อให้ผลการจำลองใกล้เคียงกับค่าในทางทฤษฎี วงจรที่ออกแบบใช้ HJFET เบอร์ NE3512S02 เป็นอุปกรณ์ขยาย แรงดันไฟเลี้ยงสูงสุด 1.5 โวลต์ กินกระแสรวม 14 มิลลิแอมป์ คิดเป็นกำลังงานเท่ากับ 21 มิลลิวัตต์

รูปที่ 10 แสดงผลตอบสนองทางความถี่ โดยแถบผ่านแรกความถี่ 2.4 กิกะเฮิรตซ์ ที่พอร์ตเอาต์พุต P_2 มีอัตราขยายเท่ากับ 22.2 ดีบี และแบนด์วิดท์ 0.495 กิกะเฮิรตซ์ แถบผ่านที่สองความถี่ 5 กิกะเฮิรตซ์ ที่พอร์ตเอาต์พุต P_3 มีอัตราขยายเท่ากับ 23.5 ดีบี และแบนด์วิดท์ 0.65 กิกะเฮิรตซ์ โดยคิดเป็น FBW (Fractional bandwidth = (BW/f_C) ×100%) เท่ากับ 20.6% และ 13% ตามลำดับ กำลังงานสะท้อนกลับด้านอินพุต S_{11} น้อยกว่า –10 ดีบี กำลังงาน



รูปที่ 9 วงจรในการจำลองที่ได้จากการออกแบบ

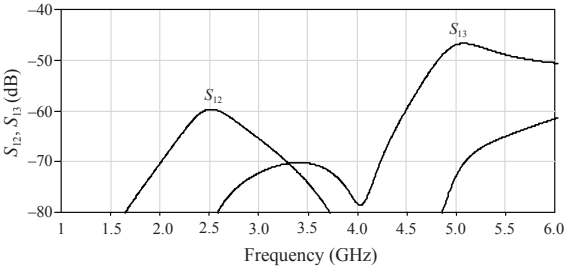


รูปที่ 10 ผลตอบสนองทางความถี่

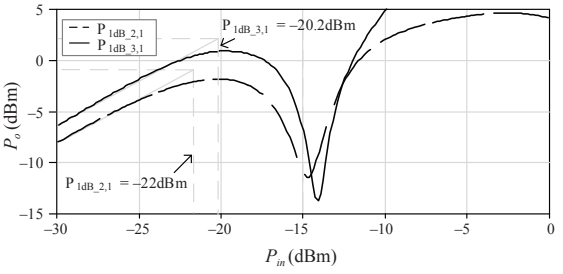
สะท้อนกลับด้านเอาต์พุต S_{22} และ S_{33} น้อยกว่า –15 ดีบี ที่แถบความถี่ดังกล่าวข้างต้น

รูปที่ 11 แสดงค่ากำลังงานย้อนกลับจากด้านเอาต์พุตไปยังอินพุต (Isolation) ซึ่งพอร์ต $\mathbf{P}_2$ มีค่า S_{12} เท่ากับ –60 ดีบี และพอร์ต $\mathbf{P}_3$ มีค่า S_{13} เท่ากับ –47 ดีบี

รูปที่ 12 แสดงค่าจุดกด 1 ดีบี ที่เอาต์พุตของวงจร (1dB Compression Point; $\mathbf{P}_{1dB}$) โดย $\mathbf{P}_{1dB_2,1}$ พอร์ต $\mathbf{P}_2$ มีค่าเท่ากับ –22 ดีบีเอ็ม ที่ความถี่ 2.4 กิกะเฮิรตซ์ และ $\mathbf{P}_{1dB_3,1}$ พอร์ต $\mathbf{P}_3$ มีค่าเท่ากับ –20.2 ดีบีเอ็ม ที่ความถี่ 5 กิกะเฮิรตซ์



รูปที่ 11 ค่ากำลังงานย้อนกลับจากเอาต์พุตไปยังอินพุต



รูปที่ 12 ค่าจุดกด 1 ดีบี

5. สรุป

บทความนี้นำเสนอการวิเคราะห์และออกแบบวงจรขยายแถบผ่านแถบคู่เชิงกระจายต่อเรียงกัน ซึ่งได้ผนวกส่วนแยกแถบความถี่เข้าไว้ที่ด้านเอาต์พุตของวงจร การจำลองได้ใช้ค่าอุปกรณ์ที่ได้จากการออกแบบ โดยวงจรมีอัตราขยายเท่ากับ 22.2 ดีบี และ 23.5 ดีบี มีแบนด์วิดท์เท่ากับ 0.495 กิกะเฮิรตซ์ และ 0.65 กิกะเฮิรตซ์ คิดเป็นค่า FBW เท่ากับ 20.6% และ 13% ที่ความถี่ 2.4 กิกะเฮิรตซ์ และ 5 กิกะเฮิรตซ์ ตามลำดับ ค่ากำลังงานสะท้อนกลับ S_{11} น้อยกว่า –10 ดีบี S_{22} และ S_{33} น้อยกว่า –15 ดีบี ค่าจุดกด 1 ดีบี เอาต์พุตพอร์ต $\mathbf{P}_2$ และ $\mathbf{P}_3$ เท่ากับ –22 ดีบีเอ็มและ –20.2 ดีบีเอ็ม ตามลำดับ ค่ากำลังงานย้อนกลับที่พอร์ต $\mathbf{P}_2$ มีค่า S_{12} เท่ากับ –60 ดีบี และพอร์ต $\mathbf{P}_3$ มีค่า S_{13} เท่ากับ –47 ดีบี วงจรใช้ไฟเลี้ยงต่ำเพียง 1.5 โวลต์ กระแสรวม 14 มิลลิแอมป์ และกินกำลังงานเท่ากับ 21 มิลลิวัตต์

เอกสารอ้างอิง

[1] J. T. Kuo and H. P. Lin, “Dual-band bandpass

filter with improved performance in extended upper rejection band," *IEEE Transactions on Microwave Theory and Techniques*, vol. 57, no. 4, pp. 824–829, 2009.

[2] H. W. Wu, Y. F. Chen, and Y. W. Chen, "Multi-layered dual-band bandpass filter using stub-loaded stepped impedance and uniform impedance resonators," *IEEE Microwave and Wireless Components Letters*, vol. 22, no. 3, pp. 114–116, 2012.

[3] Y. F. Chen, Z. J. Dai, C. T. Chiu, S. C. Chiou, Y. W. Chen, Y. M. Lin, K. Y. Chen, H. W. Wu, H. Y. Lee, Y. K. Su, and S. J. Chang, "Compact dual-band bandpass filter based on quarter wavelength stepped impedance resonators," *International Journal of Electrical and Computer Engineering*, vol. 10, no. 4, pp. 517–520, 2016.

[4] M. Jiang, M.-H. Wu, and J.-T. Kuo, "Parallel-coupled microstrip filters with over-coupled stages for multispurious suppression," in *Proceedings IEEE MTT-S International Microwave Symposium digest*, Long Beach, CA, 2005, pp. 687–690.

[5] K-C. Lin, C-F. Chang, M-C. Wu, and S-J. Chung, "Dual-bandpass filters with serial configuration using LTCC technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 6, pp. 2321–2328, 2006.

[6] K. Vikas and G. Indra, "Novel band pass filter using coupled line for WLAN applications," *International Journal of Advanced Computational Engineering and Networking*, vol. 1, no. 4, pp. 19–20, 2013.

[7] A. Worapishet, S. Srisathit, and M. Chongcheawchamnan, "Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier," *Electronics Letters*, vol. 38, no. 14, pp. 675–676, 2002.

[8] M. D. Tsai, K. L. Deng, H. Wang, C. H. Chen, C. S. Chang, and J.G. J. Chern, "A miniature 25-GHz 9-dB CMOS cascaded single-stage distributed amplifier," *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 12, pp. 554–556, 2004.

[9] S. Galal and B. Razavi, "40-Gb/s amplifier and ESD protection circuit in 0.18-um CMOS technology," *IEEE ournal of Solid-State Circuits*, vol. 39, no. 12, pp. 2389–2396, 2004.

[10] A. Worapishet, I. Roopkom, and W. Surakampontorn, "Performance analysis and design of triple-resonance interstage peaking for wideband cascaded CMOS amplifiers," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 6, pp. 1189–1203, 2007.